

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-049361

(43)Date of publication of application : 15.02.2002

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

(21)Application number : 2000-237077

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 04.08.2000

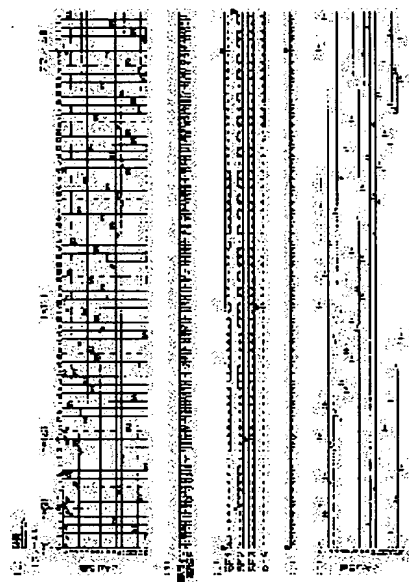
(72)Inventor : YAMAKURA MAKOTO
FURUBAYASHI YOSHINORI

(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To solve such problem of picture quality that, in a display device to be used for small-sized battery-drive portable equipment, especially in an active matrix system liquid crystal display, when multilevel display is performed by the combination of binary or multi-valued write voltages in timewise weighted sub-frames, a flicker or the like is generated.

SOLUTION: In this display device, flicker is reduced by shifting polarity inverting times for every sub-frame in one frame period, by combining polarity inversion and line inversion in one frame or by making polarities of sub-frames different in one frame.



LEGAL STATUS

[Date of request for examination] 14.03.2002

[Date of sending the examiner's decision of rejection] 04.11.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more signal lines prepared on the 1st substrate, and two or more scanning lines which intersect perpendicularly with said signal line, The switching element prepared near the intersection of said signal line and said scanning line, It consists of the 2nd substrate with the pixel electrode connected to said switching element, and the counterelectrode which confronts each other through said the 1st substrate and liquid crystal layer. By not scanning each of said scanning line sequentially by a unit of 1 time at an one-frame period, but carrying out a multiple-times selection scan, and choosing and outputting one value of two or more fixed electrical potential differences fewer than the number of display gradation to each of said signal line It is the drive approach of a active-matrix liquid crystal display that the combination of the fixed electrical potential difference in two or more subframe periods when weighting of all the pixels belonging to each scanning line was carried out in time performs a multi-gradation display. Polarity reversals are independently performed about each of said subframe period about the polarity reversals of the liquid crystal applied voltage performed for every frame period. The drive approach of the active-matrix liquid crystal display characterized by making the same the polar condition of the subframe of the pixel which belongs to all the scanning lines by changing those polarity-reversals time of day within an one-frame period according to weighting of the time amount of each subframe.

[Claim 2] the drive approach of the active-matrix liquid crystal display according to claim 1 characterized by reversing said subframe polarity condition for every scanning lines [a fixed number of] of a certain (desirable -- every other scanning line).

[Claim 3] The drive approach of the active-matrix liquid crystal display according to claim 1 characterized by performing said polarity reversals by the reversal drive of a counterelectrode.

[Claim 4] The drive approach of the active-matrix liquid crystal display according to claim 1 characterized by performing said polarity reversals by the capacity-coupling drive of the storage capacitance of a pixel.

[Claim 5] Two or more signal lines prepared on the 1st substrate, and two or more scanning lines which intersect perpendicularly with said signal line, The switching element prepared near the intersection of said signal line and said scanning line, It consists of the 2nd substrate with the pixel electrode connected to said switching element, and the counterelectrode which confronts each other through said the 1st substrate and liquid crystal layer. By not scanning each of said scanning line sequentially by a unit of 1 time at an one-frame period, but carrying out a multiple-times selection scan, and choosing and outputting one value of two or more fixed electrical potential differences fewer than the number of display gradation to each of said signal line It is the drive approach of a active-matrix liquid crystal display that the combination of the fixed electrical potential difference in two or more subframe periods when weighting of all the pixels belonging to each scanning line was carried out in time performs a multi-gradation display. The drive approach of the active-matrix liquid crystal display characterized by setting the combination of each reversal polarity of said subframe period as arbitration about the polarity reversals of the liquid crystal applied voltage performed for every frame period.

[Claim 6] When choosing the subframe period which makes the reversal polarity of said subframe period

the same and which combines, for example, is constituted in this sequence as SF1, SF2, SF3, SF4, and SF5, Every frame period = (SF1, SF2, SF3, SF4, SF5) (+, +, +, +, +) or (-, -, -, -, -) the drive approach of the active-matrix liquid crystal display according to claim 5 characterized by performing polarity reversals in combination.

[Claim 7] When choosing the subframe period which changes the reversal polarity of said subframe period and which combines, for example, is constituted in this sequence as SF1, SF2, SF3, SF4, and SF5, Every frame period = (SF1, SF2, SF3, SF4, SF5) (+, -, +, -, +) or (-, +, -, +, -) the drive approach of the active-matrix liquid crystal display according to claim 5 characterized by performing polarity reversals in combination.

[Claim 8] the drive approach of the active-matrix liquid crystal display according to claim 5 characterized by reversing said subframe polarity condition for every scanning lines [a fixed number of] of a certain (desirable -- every other scanning line).

[Claim 9] The drive approach of the active-matrix liquid crystal display according to claim 5 characterized by performing said polarity reversals by the reversal drive of a counterelectrode.

[Claim 10] The drive approach of the active-matrix liquid crystal display according to claim 5 characterized by performing said polarity reversals by the capacity-coupling drive of the storage capacitance of a pixel.

[Claim 11] Two or more signal lines prepared on the 1st substrate, and the signal-line drive circuit which drives this, Two or more scanning lines which intersect perpendicularly with said signal line, and the scanning-line drive circuit which drives this, The switching element prepared near the intersection of said signal line and said scanning line, It consists of the 2nd substrate with the pixel electrode connected to said switching element, and the counterelectrode which confronts each other through said the 1st substrate and liquid crystal layer. Said scanning-line drive circuit does not scan each of said scanning line sequentially by a unit of 1 time at an one-frame period, but carries out a multiple-times selection scan. By choosing and outputting one value of two or more fixed electrical potential differences fewer than the number of display gradation to each of said signal line, said signal-line drive circuit It is the active-matrix liquid crystal display which performs a multi-gradation display with the combination of the fixed electrical potential difference in two or more subframe periods when weighting of all the pixels belonging to each scanning line was carried out in time. Polarity reversals are independently performed about each of said subframe period about the polarity reversals of the liquid crystal applied voltage performed for every frame period. The active-matrix liquid crystal display characterized by making the same the polar condition of the subframe of the pixel which belongs to all the scanning lines by changing those polarity-reversals time of day within an one-frame period according to weighting of the time amount of each subframe.

[Claim 12] the active-matrix liquid crystal display according to claim 11 characterized by reversing said subframe polarity condition for every scanning lines [a fixed number of] of a certain (desirable -- every other scanning line).

[Claim 13] The active-matrix liquid crystal display according to claim 11 characterized by performing said polarity reversals by the reversal drive of a counterelectrode.

[Claim 14] The active-matrix liquid crystal display according to claim 11 characterized by performing said polarity reversals by the capacity-coupling drive of the storage capacitance of a pixel.

[Claim 15] Two or more signal lines prepared on the 1st substrate, and the signal-line drive circuit which drives this, Two or more scanning lines which intersect perpendicularly with said signal line, and the scanning-line drive circuit which drives this, The switching element prepared near the intersection of said signal line and said scanning line, It consists of the 2nd substrate with the pixel electrode connected to said switching element, and the counterelectrode which confronts each other through said the 1st substrate and liquid crystal layer. Said scanning-line drive circuit does not scan each of said scanning line sequentially by a unit of 1 time at an one-frame period, but carries out a multiple-times selection scan. By choosing and outputting one value of two or more fixed electrical potential

differences fewer than the number of display gradation to each of said signal line, said signal-line drive circuit. It is the active-matrix liquid crystal display which performs a multi-gradation display with the combination of the fixed electrical potential difference in two or more subframe periods when weighting of all the pixels belonging to each scanning line was carried out in time. The active-matrix liquid crystal display characterized by setting the combination of each reversal polarity of said subframe period as arbitration about the polarity reversals of the liquid crystal applied voltage performed for every frame period.

[Claim 16] When choosing the subframe period which makes the reversal polarity of said subframe period the same and which combines, for example, is constituted in this sequence as SF1, SF2, SF3, SF4, and SF5, Every frame period = (SF1, SF2, SF3, SF4, SF5) (+, +, +, +, +) or (-, -, -, -, -) the active-matrix liquid crystal display according to claim 15 characterized by performing polarity reversals in combination.

[Claim 17] When choosing the subframe period which changes the reversal polarity of said subframe period and which combines, for example, is constituted in this sequence as SF1, SF2, SF3, SF4, and SF5, Every frame period = (SF1, SF2, SF3, SF4, SF5) (+, -, +, -, +) or (-, +, -, +, -) the active-matrix liquid crystal display according to claim 15 characterized by performing polarity reversals in combination.

[Claim 18] the active-matrix liquid crystal display according to claim 15 characterized by reversing said subframe polarity condition for every scanning lines [a fixed number of] of a certain (desirable — every other scanning line).

[Claim 19] The active-matrix liquid crystal display according to claim 15 characterized by performing said polarity reversals by the reversal drive of a counterelectrode.

[Claim 20] The active-matrix liquid crystal display according to claim 15 characterized by performing said polarity reversals by the capacity-coupling drive of the storage capacitance of a pixel.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention performs a multi-gradation display about the drive approach of the liquid crystal display of an active matrix with the combination of the pixel write-in electrical potential difference of binary [in the subframe period by which weighting was carried out in time], or a multiple value.

[0002]

[Description of the Prior Art] Fewer power consumption is demanded of the display used for the small pocket device by cell drive, and a liquid crystal display is in the representation rank of the display which fills the demand. When performing a gradation display especially in the liquid crystal display of an active matrix and the liquid crystal display which uses the thin film transistor (TFT) of three terminals as a

switching element typically, the method which impresses the wave of an analog value to that signal line, and charges a pixel to this potential through a switching element was common. These configurations are shown in drawing 1 and it explains with drawing. 101 is the liquid crystal panel of an active matrix, and consists of signal lines $S1-Sn$, the scanning lines $G1-Gm$ which intersect perpendicularly with this, and a switching element near [the] the intersection. S_i is an example of the thin film transistor (TFT) of a switching element and three common terminals in this case which a certain signal line and G_j have in a certain scanning line, and 102 has near [those] the intersection. 103 shows a liquid crystal device and Counterelectrode V_{com} is formed in the side which stands face to face against a transistor 102. 104 is storage capacitance, assisted the capacity component of a liquid crystal device 103, and has prevented degradation of image quality. Common connection of the electrode by the side of the reverse is separately made as V_{st} in many cases. The intersection 105 by the side of these transistors is equivalent to a pixel electrode. If actuation is explained briefly, the scanning line G_j will serve as quantity potential once at an one-frame period, it will be made to flow through a transistor 102, and the pixel electrode 105 103, i.e., liquid crystal capacity, and storage capacitance 104 will be charged to Counterelectrode V_{com} to the potential of the signal line S_i at this time. The scanning line G_j serves as low voltage after that, a transistor 102 is un-flowing, and this charged potential is maintained during the one-frame period. Moreover, although it is common to carry out an alternating current drive as for liquid crystal, the pulse-like wave which reversed Counterelectrode V_{com} and the common electrode V_{st} of storage capacitance synchronizing with the signal line S_i is added, and, generally decreasing the amplitude of a signal line S_i is also performed. 106 is a shift register by the side of a signal, and a latch, by the clock signal CKH and start signal STH which are inputted from the outside, carries out the sequential sampling of the video signal, and carries out serial-parallel conversion. In drawing 1, the example of a digital video signal is shown, a two or more bits video signal is changed into an analog signal by the D/A conversion circuit 107, and current amplification is carried out with an operational amplifier 108, and it is added to signal lines $S1-Sn$. A scan side consists of the shift register 109 and output buffer 110 which are scanned from a top to the bottom one by one with the clock signal CKV added from the exterior, and a start signal STV, and drives the scanning lines $G1-Gm$ with pulse shape. [0003] The wave form chart of each part is shown in drawing 2. HD shows a Horizontal Synchronizing signal, and the period is the horizontal scanning period H, and is equal to the period of above-mentioned STH and above-mentioned CKV. These phases are changed a little with a panel property etc. An input signal is a digital video signal and data change with the period of CKH. FF1, FF2, and FF3 show the sampling pulse of a signal side shift register. For example, in the case of gradation [4 bits and / 16], if data are expressed in hexadecimals, "F" is sampled and latched to "7" and FF3 by "0" and FF2 at FF1. If D/A conversion of this is carried out to the timing of a latch pulse, the pulse height to the opposite potential V_{com} will change, and gradation will be expressed now. If opposite reversal is carried out, in case the alternating current drive of liquid crystal will be carried out, it is possible to set about 1/ of voltage swings of a signal line to 2, and, generally it is carried out. The sequence that the scanning line is chosen as drawing 3 taking the case of the case where the number of display Rhine is 16 is shown. An axis of abscissa is time amount and an axis of ordinate is selection Rhine. The minimum width of face of a time-axis is the horizontal scanning period H. . Like drawing 3, selection sequence is 0->1->2->... It is scanned sequentially like ->15. Therefore, an one-frame period is completed by 16H, and the writing of the following frame starts. In fact, although a perpendicular blanking period is established at a frame period in addition to the Rhine selection time amount, it is omitting by a diagram. In addition, the horizontal scanning period H is equal to the period of HD signal of drawing 2, and the analog signal is written in the pixel in this time amount.

[0004] It was the factor in which an operational amplifier 108 possesses as a current buffer for carrying out the charge and discharge of the signal-line capacity which is a load to the latter part of the D/A conversion circuit 107 by the above drive approach, and this increases the power consumption of a drive circuit. It is because a static current flows continuously and is continuing the operational amplifier,

even when having not carried out the charge and discharge of the load. In this application, the above drive approach shall be called "an analog drive."

[0005] Not using analog circuits, such as a D/A conversion circuit and an operational amplifier, the basic principle of the drive approach that the combination of a pixel write-in electrical potential difference binary [in the subframe period by which weighting was carried out in time] performs a gradation display is explained to a detail to an above-mentioned analog drive. Although a pixel write-in electrical potential difference is made into a binary fixed electrical potential difference in order to give explanation easy, you may be the fixed electrical potential difference of the multiple value of three or more values. A configuration is shown in drawing 4 . The object of drawing 1 and this function attaches the same number, and omits explanation. The decoder as which 401 chooses one of the binary fixed electrical potential differences VH and VL according to a digital video signal, and 402 are analog switches. These are very easy to constitute compared with the above-mentioned D/A conversion circuit, and since a static current hardly flows, power consumption is very small. Moreover, 403 is a decoder circuit which chooses the scanning line, and chooses the scanning line specified by the address signal ADV based on predetermined sequence.

[0006] Next, the principle which displays gradation with the binary fixed electrical potential differences VH and VL is explained with drawing 5 . The frame period which displays a whole image is divided into two or more subframe periods by which weighting was carried out in time, and time Pulse Density Modulation is performed by adding VH or VL to a pixel electrode in each subframe period. When a fixed electrical potential difference is binary, the number of subframes is in agreement with the number of bits of input data. Corresponding to the most significant bit (MSB) of data – the least significant bit (LSB), subframes SF4–SF1 are assigned. In drawing 5 , the example of 4 bits and 16 gradation is shown and the combination of the fixed electrical potential differences VH and VL in the subframes SF1–SF4 by which weighting was carried out is performing 16 kinds of gradation displays. For example, at the time of "1011", by the subframe SF 3, VL corresponding to [in them] "0" at a binary number is chosen, and VH corresponding to "1" corresponding to [in gradation data] 11 at a decimal number is chosen by subframes SF1, SF2, and SF4. In addition, VH may be corresponded to "0" and VL may be made to correspond to "1" according to the electrical-potential-difference-permeability property (V-T property) of a liquid crystal device.

[0007] Each subframe period consists of write-in time amount and the holding time, and write-in time amount is fixed in every subframe at 1 horizontal-scanning period, and it doubles [period / twice / of 2 / power / the constant of a horizontal scanning] weighting of the holding time for every subframe. That is, when making 1 horizontal-scanning period and N into the total number of subframes and making K into a positive integer for H, it is the i-th subframe period (however, $i = 1, 2, \dots, N$),

$$((i-1) \times NK \text{ of } 1+2) \text{ It is expressed } xH.$$
The 1st term in the parenthesis of an upper type expresses write-in time amount, and the 2nd term expresses the holding time. The term of NK was included in the holding time because it was useful in expansion of the formula for shortening a frame period so that it may mention later. By the wave of Rhine 0 of drawing 5 , the part of a pulse writes in and time amount and the other part are equivalent to the holding time. Since it is the sum of all subframe periods, an one-frame period is $x(N+NK(1+2+4+\dots+(2^{N-1})))$ $H=NH(1+K(N\text{th power of } 2 - 1))$.
It is expressed.

[0008] Here, if the scanning line is sequentially scanned from a top to the bottom simply as shown in drawing 6 , a flicker which the holding time of the subframe period over a high order bit increases, a frame period increases, and a refresh frequency falls, and is called a flicker will arise. The frame period in the case of scanning sequentially sets the number of display Rhine to L, and is $L(1+2+4+\dots+(2^{N-1}))$ $xH=(N\text{th power of } 2 - 1)HL$. Then, by not scanning the scanning line sequentially from a top to the bottom, but choosing in predetermined sequence, as shown in drawing 7 , artificers wrote in the subframe of other Rhine using the holding time of the subframe period in a high order bit, and proposed the approach of shortening the whole frame period. The following procedures perform the shortened

approach.

[0009] In order to write in all subframes, the write-in time amount of N time is required for an one-frame period to one line. Therefore, when the number of display Rhine is L , twice ($N \times L$) as many write-in time amount as 1 horizontal-scanning period is required for an one-frame period. That is, write-in time amount is expressed with NHL . When writing in other Rhine using the holding time, the time of $NH(1+K(N^{\text{th power of } 2} - 1)) = NHL$ being realized is the most efficient. Therefore, it is $L=1+K(N^{\text{th power of } 2} - 1)$ about the number of display Rhine.

What is necessary is just to choose so that it may become. For example, when the number of subframes is $N=4$, the number of display Rhine is set to $L=15K+1$. K -- a positive integer -- it is -- $K=1$, and 2 and 3 -- if ... $L=16$, and 31 and 46 -- it becomes ... In the example of drawing 7, $L=16$ or 1-frame period is [display Rhine] $NHL=64H$. If this approach is used, compared with scanning sequentially, a frame period can be shortened $N/(N^{\text{th power of } 2} - 1)$ twice.

[0010] Next, the selection sequence of the scanning line is explained with drawing 7. The number of subframes is the case where $N=4$ and the number of display Rhine of drawing 7 are $L=16$ ($K=1$), each subframe period is $5H$, $9H$, $17H$, and $33H$, and an one-frame period is $64H$. If the head of the 0th line is observed, the subframe SF 1 to the least significant bit is written in among horizontal scanning period $1H$ from time of day $t=0$. Then, there is the four- H holding time and the time of day which writes in SF2 of the 0th line next is set to $t=5H$. The subframe of other Rhine is written in between the holding times of this SF1. if it states in detail below -- $t=1H$ -- SF2 of the 15th line -- by $t=2H$, SF4 of the 9th line is written in by $t=3H$, and SF1 of the 1st line is written in for SF3 of the 13th line $t=4H$. namely, the sequence of the subframe to write in -- SF1 ->SF2 ->SF3 ->SF4 ->SF1 ... as -- it circulates. Moreover, if one subframe 4, for example, SF, is observed, selection sequence will set initiation Rhine to 9, and it is $9 \rightarrow 10 \rightarrow 11 \rightarrow \dots$ It is $\rightarrow 15 \rightarrow 0 \rightarrow 1 \rightarrow \dots$ It is scanned sequentially like $\rightarrow 8$. It is the same at the point called sequential scanning only by initiation Rhine differing about other subframes. Initiation Rhine of each subframe will be uniquely decided, if the write-in time of day of each subframe to the 0th line is decided.

[0011] The above is the drive principle which performs a multi-gradation display with the combination of a pixel write-in electrical potential difference binary [in the subframe period by which made multiple-times selection of the scanning line in predetermined sequence so that a frame period might be shortened, and weighting was carried out in time]. In this application, the above drive approach shall be called "a digital drive."

[0012]

[Problem(s) to be Solved by the Invention] Since the combination of the fixed electrical potential difference in two or more subframe periods by which weighting was carried out in time in the digital drive performs a multi-gradation display, the count of selection of Rhine increases compared with an analog drive, and a frame period becomes large. although a frame period can be managed with $16H$ by the analog drive of drawing 3 when the number of display gradation, i.e., the number of subframes, displays [for example, the number of display Rhine] an $N=4$ bits (16 gradation) image by $L=16$ -- drawing 7 -- $64H$ 4 times as many as this -- it is required. Therefore, fixed, then a flicker to which frame frequency falls to one fourth and is called a flicker generate a horizontal scanning period temporarily.

[0013] On the other hand, as an approach of preventing degradation of a liquid crystal device, as shown in drawing 8 (a), the alternating current drive which performs the polarity reversals of liquid crystal applied voltage for every frame period is performed. However, if frame reversal is performed, the liquid crystal applied voltage of "+" and "-" will change with off leaks of the switching element which constitutes a pixel, especially a thin film transistor (TFT), therefore brightness will differ, and a flicker will arise. In order to reduce this flicker, it is so common that Rhine reversal is performed within an one-frame period with frame reversal in a pixel unit and it becomes impossible for the brightness difference of "+" and "-" to sense to human being's eyes as shown in drawing 8 (b) to shorten a polarity-reversals period.

[0014] The frame reversal in a digital drive is shown in drawing 9. Like drawing 9 (c), the frame period of

64H of the 1st frame writes in the forward polarity shown by "+", and is writing in the negative polarity which carries out frame reversal by the 2nd frame, and is shown by "-." Drawing 9 (d) shows a polar time amount change of each Rhine. In order to make an understanding easy, only the negative polar part is smeared away. As shown in drawing, the polarity of "+" and "-" is discontinuous bordering on the 8th line and the 9th line. Because, although the subframes to invert differ for every Rhine and invert in SF1 in the 1-8th line, it is inverting in SF4 at the 9-12th line. Drawing 9 (e) performed Rhine reversal based on this. What is necessary is just to make change of odd lines of (e) into "+" → "-" or "-" → "+" from (d). As shown in drawing, over all Rhine, the polarity of the Rhine reversal is not regular and is sensed by human being's eyes as a flicker.

[0015]

[Means for Solving the Problem] In the drive approach of a active-matrix liquid crystal display that the combination of the fixed electrical potential difference in two or more subframe periods when weighting of this invention was carried out in time performs a multi-gradation display It is related with the polarity reversals of the liquid crystal applied voltage performed for every ** frame period to the image quality technical problem about a flicker. Polarity reversals are independently performed about each of said subframe period, and those polarity-reversals time of day is changed within an one-frame period according to weighting of each time amount, ** Solve the above-mentioned technical problem more to give a degree of freedom to the combination of each reversal polarity of a subframe period.

[0016]

[Embodiment of the Invention] The 1st example of this invention is shown in drawing 10 . In addition, the circuitry of a liquid crystal display is the same as drawing 4 explained in the conventional example. Weighting of the number of display Rhine is carried out to the ratio of 1:2:4:8 in time [L= 16 and the number of subframes / the holding time of N= 4 and a subframe], and drawing 10 (a) shows the selection sequence of Rhine in the case of displaying 16 gradation with such combination. Drawing 10 (b) writes out time amount change of selection Rhine and a selection subframe from (a). Drawing 10 (c) shows the polarity of the liquid crystal applied voltage in each timing at the time of observing each subframe. In this example, as shown in drawing 10 (c), the polarity reversals of a frame are performed independently every subframes SF [SF1, SF2, SF3, and] 4. And SF1, SF2, SF3, and SF4 have reversed the polarity with "-" → "+" at the time of day of t= 0, and 5H, 14H and 31H, respectively. In this example, the polarity-reversals time of day of each subframe is in agreement at the write-in time of day of each subframe of the 0th line. Thus, in this example, the reversal time of day of each subframe is changed within one frame according to weighting of the time amount of each subframe. a subframe -- SF1 → SF2 → SF3 → SF4 → SF1 ... as -- it circulates, and since it writes in, it becomes as it is shown in drawing 10 (d), when the polarity of the subframe written in according to time of day from drawing 10 (c) is extracted. Moreover, drawing 10 (e) shows a polar time amount change written in each Rhine. The polarity of each subframe of the 0th line is written in the 1st frame by = (SF1, SF2, SF3, SF4) (++++). Henceforth, to ... and the 15th line, 4H shift time amount every and each subframe polarity of the 2nd line of the 1st line is written in by (++++) like the 0th line. With the following frame, to all Rhine, the polarity of each subframe is reversed with the subframe SF 1 as the starting point, and it is written in by (----). By the above, since the subframe carries out the sequential shift in time in the same condition to all Rhine (i.e., since the polar condition (polar time series pattern) of the subframe of the pixel belonging to all the scanning lines is the same), a display will be stable and a flicker decreases. Although this example explained the frame reversal in which the same combination of a subframe polarity completely carries out the sequential shift to all Rhine, as shown in drawing 11 , combining with the Rhine reversal is also possible. That is, the polarity of each subframe is reversed by even lines and odd lines. thereby -- every other line -- →(++++)(----) →(++++) →(----) -- as -- it is possible to be able to carry out a sequential shift in time, changing, and to reduce a flicker further. In addition, every two or more lines of the Rhine reversal period are sufficient. The 2nd example is shown in drawing 12 . Although what is done for frame reversal in this example although the polarity of a subframe was made

into -> (++++) (----) in the 1st example is the same as the 1st example, the point of changing the polarity of a subframe within an one-frame period is the description like -> (+--+)(-+--). That is, as shown in drawing 12 (c), subframes SF1 and SF3 reversed the polarity with "-" -> "+" at the time of day of t= 0 and 14H, respectively, and subframes SF2 and SF4 have reversed the polarity with "+" -> "-" at the time of day of t= 5 and 31H, respectively. As a result, as shown in drawing 12 (e), 4H shift time amount every and the combination 0th line (+--+)(-+--) is carrying out the sequential shift in time. In this application, this shall be called subframe reversal. By performing subframe reversal, a polarity-reversals period becomes shorter than a frame period, and a flicker decreases. In addition, this example as well as the 1st example is combinable with the Rhine reversal.

[0017] Moreover, although you may realize by adding a direct reversal signal to a signal line Si, adding the pulse-like wave reversed to Counterelectrode Vcom synchronizing with the signal line Si, or by reversing the common electrode Vst of storage capacitance using the so-called capacity-coupling drive which adds a level shift signal, these polarity reversals can decrease the amplitude of a signal line Si, and are effective in low-power-izing.

[0018]

[Effect of the Invention] Since the polarity of the liquid crystal applied voltage in a subframe carries out the sequential shift in time in the same condition to all Rhine according to the 1st example of this invention, a display will be stable and it is effective in the ability to reduce a flicker. Moreover, the Rhine reversal can be applied and it is effective in the ability to reduce a flicker further. A conventional opposite reversal drive and a conventional capacity-coupling drive are applicable to polarity reversals as it is.

[0019] According to the 2nd example of this invention, by performing subframe reversal, a polarity-reversals period becomes shorter than a frame period, and it is effective in the ability to reduce a flicker. Moreover, the Rhine reversal can be applied and it is effective in the ability to reduce a flicker further. A conventional opposite reversal drive and a conventional capacity-coupling drive are applicable to polarity reversals as it is.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram of the conventional analog drive

[Drawing 2] The wave form chart of the conventional analog drive

[Drawing 3] Drawing showing the scanning-line selection sequence of the conventional analog drive

[Drawing 4] The block diagram of a digital drive

[Drawing 5] Drawing showing the gradation method of presentation of the conventional digital drive

[Drawing 6] Drawing showing sequential scanning of the conventional digital drive

[Drawing 7] Drawing showing the scanning-line selection sequence of the conventional digital drive
[Drawing 8] Drawing showing the conventional liquid crystal alternating current drive
[Drawing 9] Drawing for explaining the technical problem about the flicker of the conventional digital drive
[Drawing 10] Drawing showing the 1st example of this invention
[Drawing 11] Drawing showing the Rhine reversal in the 1st example of this invention
[Drawing 12] Drawing showing the 2nd example of this invention
[Description of Notations]
101 Liquid Crystal Panel of Active Matrix
102 Switching Element
103 Liquid Crystal Device
104 Storage Capacitance
105 Pixel Electrode
106 Shift Register and Latch
107 D/A Conversion Circuit
108 Operational Amplifier
109 Scan Side Shift Register
110 Output Buffer
401 Decoder
402 Analog Switch
403 Scanning-Line Selection Decoder
S1, S2, S3, Si, Sn Signal line
G1, G2, G3, Gj, Gm Scanning line
CKH Signal side clock signal
STH Signal side start signal
CKV Scan side clock signal
STV Scan side clock signal
ADV Scan side address signal
Vcom Counterelectrode
Vst Common electrode of storage capacitance
HD Horizontal Synchronizing signal
FF1, FF2, FF3 Sampling pulse of a signal side shift register
VH, VL Fixed electrical potential difference
SF1, SF2, SF3, SF4 Subframe period

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-49361

(P2002-49361A)

(43) 公開日 平成14年2月15日 (2002. 2. 15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 E 5 C 0 8 0
	6 2 1		6 2 1 B
	6 4 1		6 4 1 E
審査請求 未請求 請求項の数20 O L (全 15 頁) 最終頁に続く			

(21) 出願番号 特願2000-237077(P2000-237077)

(22) 出願日 平成12年8月4日 (2000. 8. 4)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山倉 誠

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 古林 好則

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

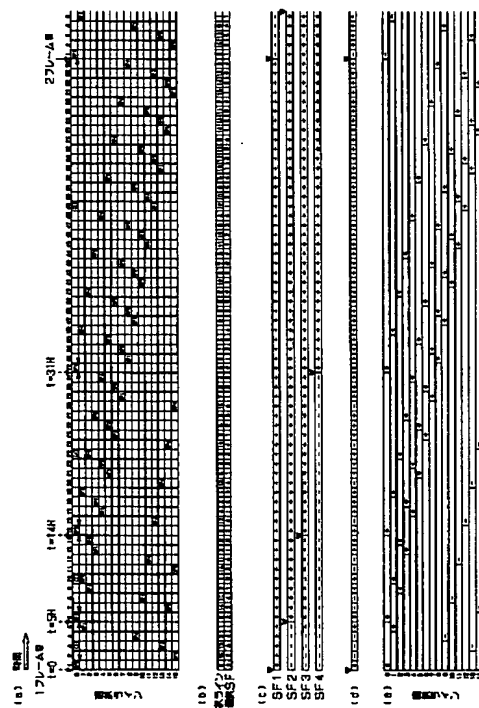
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 小型の電池駆動の携帯機器に用いられる表示装置、特にアクティブマトリクス方式の液晶表示装置において、時間的に重み付けされたサブフレームにおける2値あるいは多値の書き込み電圧の組み合わせにより多階調表示を行うと、フリッカが発生するなどの画質課題が生じていた。

【解決手段】 フレーム期間内でサブフレームごとに極性反転時刻をずらし、ライン反転と組み合わせたり、1フレーム内でサブフレームの極性を異ならせることでフリッカを低減する。



(2)

【特許請求の範囲】

【請求項1】第1の基板上に設けられた複数の信号線と、前記信号線と直交する複数の走査線と、前記信号線と前記走査線の交点近傍に設けられたスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記第1の基板と液晶層を介して対峙する対向電極を持つ第2の基板とからなり、

前記走査線の各々を1フレーム期間に1回ずつ順次走査するのでなく複数回選択走査し、前記信号線の各々に対し表示階調数より少ない複数の固定電圧のうちの1値を選択して出力することにより、各走査線に属するすべての画素が時間的に重み付けされた複数のサブフレーム期間における固定電圧の組み合わせにより多階調表示を行うアクティブマトリクス液晶表示装置の駆動方法であって、

フレーム期間ごとに行う液晶印加電圧の極性反転に関し、前記サブフレーム期間の各々について極性反転を独立に行い、それらの極性反転時刻を各々のサブフレームの時間の重み付けに応じて1フレーム期間内で異ならせることにより、すべての走査線に属する画素のサブフレームの極性状態を同一にすることを特徴とするアクティブマトリクス液晶表示装置の駆動方法。

【請求項2】前記サブフレーム極性状態を、ある一定数の走査線ごと（好ましくは1走査線おきに）に反転させることを特徴とする請求項1記載のアクティブマトリクス液晶表示装置の駆動方法。

【請求項3】前記極性反転を、対向電極の反転駆動で行うことを特徴とする請求項1記載のアクティブマトリクス液晶表示装置の駆動方法。

【請求項4】前記極性反転を、画素の蓄積容量の容量結合駆動で行うことを特徴とする請求項1記載のアクティブマトリクス液晶表示装置の駆動方法。

【請求項5】第1の基板上に設けられた複数の信号線と、前記信号線と直交する複数の走査線と、前記信号線と前記走査線の交点近傍に設けられたスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記第1の基板と液晶層を介して対峙する対向電極を持つ第2の基板とからなり、

前記走査線の各々を1フレーム期間に1回ずつ順次走査するのでなく複数回選択走査し、前記信号線の各々に対し表示階調数より少ない複数の固定電圧のうちの1値を選択して出力することにより、各走査線に属するすべての画素が時間的に重み付けされた複数のサブフレーム期間における固定電圧の組み合わせにより多階調表示を行うアクティブマトリクス液晶表示装置の駆動方法であって、

フレーム期間ごとに行う液晶印加電圧の極性反転に関し、前記サブフレーム期間の各々の反転極性の組み合わせを任意に設定することを特徴とするアクティブマトリクス液晶表示装置の駆動方法。

2

【請求項6】前記サブフレーム期間の反転極性を同一にする組み合わせ、例えば、構成されるサブフレーム期間をSF1, SF2, SF3, SF4, SF5としてこの順序で選択されるとき、フレーム期間ごとに(SF1, SF2, SF3, SF4, SF5) = (+, +, +, +, +)あるいは(-, -, -, -, -)の組み合わせで極性反転が行われることを特徴とする請求項5記載のアクティブマトリクス液晶表示装置の駆動方法。

【請求項7】前記サブフレーム期間の反転極性を異ならせる組み合わせ、例えば、構成されるサブフレーム期間をSF1, SF2, SF3, SF4, SF5としてこの順序で選択されるとき、フレーム期間ごとに(SF1, SF2, SF3, SF4, SF5) = (+, -, +, -, +)あるいは(-, +, -, +, -)の組み合わせで極性反転が行われることを特徴とする請求項5記載のアクティブマトリクス液晶表示装置の駆動方法。

【請求項8】前記サブフレーム極性状態を、ある一定数の走査線ごと（好ましくは1走査線おきに）に反転させることを特徴とする請求項5記載のアクティブマトリクス液晶表示装置の駆動方法。

【請求項9】前記極性反転を、対向電極の反転駆動で行うことを特徴とする請求項5記載のアクティブマトリクス液晶表示装置の駆動方法。

【請求項10】前記極性反転を、画素の蓄積容量の容量結合駆動で行うことを特徴とする請求項5記載のアクティブマトリクス液晶表示装置の駆動方法。

【請求項11】第1の基板上に設けられた複数の信号線と、これを駆動する信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられたスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記第1の基板と液晶層を介して対峙する対向電極を持つ第2の基板とからなり、

前記走査線駆動回路は前記走査線の各々を1フレーム期間に1回ずつ順次走査するのでなく複数回選択走査し、前記信号線駆動回路は前記信号線の各々に対し表示階調数より少ない複数の固定電圧のうちの1値を選択して出力することにより、各走査線に属するすべての画素が時間的に重み付けされた複数のサブフレーム期間における固定電圧の組み合わせにより多階調表示を行うアクティブマトリクス液晶表示装置であって、

フレーム期間ごとに行う液晶印加電圧の極性反転に関し、前記サブフレーム期間の各々について極性反転を独立に行い、それらの極性反転時刻を各々のサブフレームの時間の重み付けに応じて1フレーム期間内で異ならせることにより、すべての走査線に属する画素のサブフレームの極性状態を同一にすることを特徴とするアクティブマトリクス液晶表示装置。

【請求項12】前記サブフレーム極性状態を、ある一定数の走査線ごと（好ましくは1走査線おきに）に反転さ

(3)

3

せることを特徴とする請求項1記載のアクティブマトリクス液晶表示装置。

【請求項13】前記極性反転を、対向電極の反転駆動で行うことを特徴とする請求項1記載のアクティブマトリクス液晶表示装置。

【請求項14】前記極性反転を、画素の蓄積容量の容量結合駆動で行うことを特徴とする請求項1記載のアクティブマトリクス液晶表示装置。

【請求項15】第1の基板上に設けられた複数の信号線と、これを駆動する信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられたスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記第1の基板と液晶層を介して対峙する対向電極を持つ第2の基板とからなり、前記走査線駆動回路は前記走査線の各々を1フレーム期間に1回ずつ順次走査するのでなく複数回選択走査し、前記信号線駆動回路は前記信号線の各々に対し表示階調数より少ない複数の固定電圧のうちの1値を選択して出力することにより、各走査線に属するすべての画素が時間的に重み付けされた複数のサブフレーム期間における固定電圧の組み合わせにより多階調表示を行うアクティブマトリクス液晶表示装置であって、フレーム期間ごとに行う液晶印加電圧の極性反転に関し、前記サブフレーム期間の各々の反転極性の組み合わせを任意に設定することを特徴とするアクティブマトリクス液晶表示装置。

【請求項16】前記サブフレーム期間の反転極性を同一にする組み合わせ、例えば、構成されるサブフレーム期間をSF1、SF2、SF3、SF4、SF5としてこの順序で選択されるとき、フレーム期間ごとに(SF1、SF2、SF3、SF4、SF5)=(+、+、+、+、+)あるいは(-、-、-、-、-)の組み合わせで極性反転が行われることを特徴とする請求項15記載のアクティブマトリクス液晶表示装置。

【請求項17】前記サブフレーム期間の反転極性を異ならせる組み合わせ、例えば、構成されるサブフレーム期間をSF1、SF2、SF3、SF4、SF5としてこの順序で選択されるとき、フレーム期間ごとに(SF1、SF2、SF3、SF4、SF5)=(+、-、+、-、+)あるいは(-、+、-、+、-)の組み合わせで極性反転が行われることを特徴とする請求項15記載のアクティブマトリクス液晶表示装置。

【請求項18】前記サブフレーム極性状態を、ある一定数の走査線ごと(好ましくは1走査線おきに)に反転させることを特徴とする請求項15記載のアクティブマトリクス液晶表示装置。

【請求項19】前記極性反転を、対向電極の反転駆動で行うことを特徴とする請求項15記載のアクティブマトリクス液晶表示装置。

4

【請求項20】前記極性反転を、画素の蓄積容量の容量結合駆動で行うことを特徴とする請求項15記載のアクティブマトリクス液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス方式の液晶表示装置の駆動方法に関し、時間的に重み付けされたサブフレーム期間における2値あるいは多値の画素書き込み電圧の組み合わせにより多階調表示を行うものである。

【0002】

【従来の技術】電池駆動による小型の携帯機器に用いられる表示装置には、より少ない消費電力が要求されており、その要求を満たす表示装置の代表格に液晶表示装置がある。特にアクティブマトリクス方式の液晶表示装置、典型的には3端子の薄膜トランジスタ(TFT)をスイッチング素子とする液晶表示装置において階調表示を行う場合は、その信号線にアナログ値の波形を印加し、スイッチング素子を介してこの電位まで画素を充電する方式が一般的であった。これらの構成を図1に示し、図と共に説明する。101はアクティブマトリクス方式の液晶パネルであり、信号線S1～Snと、これと直交する走査線G1～Gmと、その交点近傍にあるスイッチング素子からなる。Siはある信号線、Gjはある走査線、102はそれらの交点近傍にあるスイッチング素子、この場合は一般的な3端子の薄膜トランジスタ

(TFT)の例である。103は液晶素子を示し、トランジスタ102と対峙する側に対向電極Vcomが形成される。104は蓄積容量であり液晶素子103の容量成分を補佐し、画質の劣化を防止している。その逆側の電極は別途Vstとして共通接続される場合が多い。これらのトランジスタ側の交点105が画素電極に相当する。動作を簡単に説明すると、走査線Gjが1フレーム期間に一度高電位となり、トランジスタ102を導通させ、この時の信号線Siの電位まで画素電極105、つまり液晶容量103と蓄積容量104を対向電極Vcomに対して充電する。その後走査線Gjが低電位となってトランジスタ102が非導通となって、この充電された電位を1フレーム期間保つ。また、液晶は交流駆動するのが普通であるが、対向電極Vcomと蓄積容量の共通電極Vstを信号線Siに同期して反転したパルス状波形を加え、信号線Siの振幅を減少することも一般的に行われる。106は信号側のシフトレジスタおよびラッチであり、外部から入力されるクロック信号CKHとスタート信号STHにより、映像信号を順次サンプリングレシリアル-パラレル変換する。図1ではデジタル映像信号の例を示し、複数ビットの映像信号がD/A変換回路107によりアナログ信号に変えられ、オペアンプ108により電流増幅されて信号線S1～Snに加えられる。走査側は外部より加えられるクロック信号CKV

(4)

5

とスタート信号STVにより順次上から下へ走査するシフトレジスタ109と出力バッファ110からなり、走査線G1～Gmをパルス波形で駆動する。

【0003】図2に各部の波形図を示す。HDは水平同期信号を示し、その周期は水平走査期間Hであり、前述のSTHとCKVの周期に等しい。これらの位相はパネル特性等により若干変えられる。入力信号はデジタル映像信号であり、CKHの周期でデータは変化する。FF1, FF2, FF3は信号側シフトレジスタのサンプリングパルスを示す。例えば、4ビット、16階調の場合では、データを16進数で表現すると、FF1には"0"、FF2には"7"、FF3には"F"がサンプリングされラッチされている。ラッチパルスのタイミングでこれをD/A変換すると、対向電位Vcomに対するパルス高さが変わり、これで階調を表現する。対向反転すれば液晶の交流駆動をする際に信号線の電圧振幅を約1/2にすることが可能で一般的に行われている。図3に表示ライン数が16の場合を例にとって走査線が選択される順序を示す。横軸は時間、縦軸は選択ラインである。時間軸の最小幅は水平走査期間Hである。図3のように、選択順序は0→1→2→・・・→15というように順次走査となっている。従って、16Hで1フレーム期間が完了し、次のフレームの書き込みが始まる。実際には、フレーム期間にはライン選択時間以外に垂直ブランキング期間が設けられるが、図では省略している。なお、水平走査期間Hは図2のHD信号の周期に等しく、この時間内にアナログ信号が画素に書き込まれている。

【0004】以上の駆動方法では、D/A変換回路107の後段に負荷である信号線容量を充放電するための電流バッファとしてオペアンプ108が具備され、これが駆動回路の消費電力を増大させる要因であった。なぜなら、オペアンプは負荷を充放電していないときでも、スタティックな電流が絶えず流れて続けているからである。本願では、以上の駆動方法を「アナログ駆動」と呼ぶものとする。

【0005】上述のアナログ駆動に対し、D/A変換回路やオペアンプなどのアナログ回路を用いず、時間的に重み付けされたサブフレーム期間における2値の画素書き込み電圧の組み合わせにより階調表示を行う駆動方法の基本原理解について詳細に説明する。説明を容易にするため、画素書き込み電圧を2値の固定電圧とするが、3値以上の多値の固定電圧であってもよい。図4に構成を示す。図1と同機能の物は同一番号を付し、説明を省略する。401はデジタル映像信号に応じて2値の固定電圧VH、VLのどちらかを選択するデコーダ、402はアナログスイッチである。これらは前述のD/A変換回路に比べて構成が非常に簡単で、スタティックな電流がほとんど流れないので消費電力が極めて小さい。また、403は走査線を選択するデコーダ回路であり、所定の

6

順序に基づいてアドレス信号ADVにより指定された走査線を選択する。

【0006】次に2値の固定電圧VH、VLにより階調を表示する原理について図5と共に説明する。全体画像を表示するフレーム期間を時間的に重み付けされた複数のサブフレーム期間に分け、それぞれのサブフレーム期間において画素電極にVHまたはVLを加えることで、時間的なパルス幅変調を行う。固定電圧が2値の場合、サブフレームの数は入力データのビット数と一致している。データの最上位ビット(MSB)～最下位ビット

(LSB)に対応して、サブフレームSF4～SF1を割り当てている。図5では、4ビット、16階調の例を示し、重み付けされたサブフレームSF1～SF4における固定電圧VH、VLの組み合わせにより16通りの階調表示を行っている。例えば、階調データが10進数で11、すなわち2進数で"1011"のとき、サブフレームSF3では"0"に対応するVLが選択され、サブフレームSF1、SF2、SF4では"1"に対応するVHが選択される。なお、液晶素子の電圧-透過率特性(V-T特性)に合わせて、"0"にVH、"1"にVLを対応させても良い。

【0007】各サブフレーム期間は書き込み時間と保持時間からなり、書き込み時間はどのサブフレームにおいても1水平走査期間で一定であり、保持時間はサブフレームごとに水平走査期間の2の累乗倍の定数倍に重み付けされている。すなわち、Hを1水平走査期間、Nを全サブフレーム数、Kを正の整数とすると、i番目のサブフレーム期間は、(ただし、i=1, 2, ..., N)

$$(1+2 \text{ の } (i-1) \text{ 乗} \times NK) \times H$$

と表される。上式の括弧内の第1項は書き込み時間を表し、第2項は保持時間を表している。保持時間にNKの項を含めたのは、後述するようにフレーム期間を短縮するための式の展開において役立つからである。図5のライン0の波形で、パルスの部分が書き込み時間、それ以外の部分が保持時間に相当する。1フレーム期間は、全サブフレーム期間の和であるので、

$$(N+NK(1+2+4+\dots+2 \text{ の } (N-1) \text{ 乗})) \times H = NH(1+K(2 \text{ の } N \text{ 乗}-1))$$

と表される。

【0008】ここで、図6に示すように単純に走査線を上から下へ順次走査すると、上位ビットに対するサブフレーム期間の保持時間が増大し、フレーム期間が増大してリフレッシュ周波数が低下しフリッカと呼ばれるちらつきが生じる。順次走査する場合のフレーム周期は表示ライン数をLとして、

$$L(1+2+4+\dots+2 \text{ の } (N-1) \text{ 乗}) \times H = (2 \text{ の } N \text{ 乗}-1)HL$$

である。そこで発明者らは、走査線を上から下へ順次走査するのではなく、図7に示すように所定の順序で選択す

(5)

7

ることにより、上位ビットにおけるサブフレーム期間の保持時間を利用して他のラインのサブフレームを書き込み、全体のフレーム期間を短縮する方法を提案した。短縮する方法は以下の手順で行う。

【0009】1フレーム期間には、全てのサブフレームを書き込むために1ラインに対しN回の書き込み時間が必要である。従って、表示ライン数がLであるとき、1フレーム期間に1水平走査期間の(N×L)倍の書き込み時間が必要である。すなわち、書き込み時間はNHLで表される。保持時間を利用して他のラインの書き込み

を行うとき、最も効率的なのは、

$NH(1+K(2のN乗-1))=NHL$

が成り立つときである。従って、表示ライン数を

$L=1+K(2のN乗-1)$

となるように選べばよい。例えば、サブフレーム数がN=4のとき、表示ライン数は $L=15K+1$ となる。Kは正の整数であり、K=1, 2, 3・・・とすると、L=16, 31, 46・・・となる。図7の例では、表示ラインがL=16、1フレーム期間がNHL=64Hとなっている。この方法を用いれば、順次走査するのに比べてフレーム期間がN/(2のN乗-1)倍に短縮できる。

【0010】次に走査線の選択順序に関して、図7と共に説明する。図7はサブフレーム数がN=4、表示ライン数がL=16(K=1)の場合であり、各サブフレーム期間は5H、9H、17H、33Hであり、1フレーム期間は64Hである。先頭0ライン目に注目すると、時刻t=0から水平走査期間1Hの間に、最下位ビットに対するサブフレームSF1を書き込んでいる。その後、保持時間が4Hあって、次に0ライン目のSF2を書き込む時刻はt=5Hとなる。このSF1の保持時間の間に、他のラインのサブフレームを書き込んでいる。以下詳しく述べると、t=1Hで15ライン目のSF2を、t=2Hで13ライン目のSF3を、t=3Hで9ライン目のSF4を、t=4Hで1ライン目のSF1を書き込んでいる。すなわち、書き込むサブフレームの順序がSF1→SF2→SF3→SF4→SF1・・・というように循環している。また、1つのサブフレーム、例えばSF4に注目すれば、選択順序は開始ラインを9として、9→10→11→・・・→15→0→1→・・・→8というように順次走査となっている。他のサブフレームについても、開始ラインが異なるだけで順次走査と言う点では同様である。各サブフレームの開始ラインは、0ライン目に対する各サブフレームの書き込み時刻が決まれば一義的に決まる。

【0011】以上が、フレーム期間が短縮するように走査線を所定の順序で複数回選択し、時間的に重み付けされたサブフレーム期間における2値の画素書き込み電圧の組み合わせにより多階調表示を行う駆動原理である。本願では、以上の駆動方法を「デジタル駆動」と呼ぶも

8

のとする。

【0012】

【発明が解決しようとする課題】デジタル駆動では時間的に重み付けされた複数のサブフレーム期間における固定電圧の組み合わせにより多階調表示を行うので、アナログ駆動に比べてラインの選択回数が増えてフレーム期間が大きくなる。例えば、表示ライン数がL=16で表示階調数すなわちサブフレーム数がN=4ビット(16階調)の画像を表示するとき、図3のアナログ駆動ではフレーム期間が16Hで済むが、図7では4倍の64H必要である。そのために、仮に水平走査期間を一定とすれば、フレーム周波数が1/4に低下してフリッカと呼ばれるちらつきが発生する。

【0013】一方、液晶素子の劣化を防止する方法として、図8(a)に示すように、フレーム期間ごとに液晶印加電圧の極性反転を行う交流駆動が行われる。しかしながら、フレーム反転を行うと、画素を構成するスイッチング素子、特に薄膜トランジスタ(TFT)のオフリークにより「+」と「-」の液晶印加電圧が異なり、従って輝度が異なり、フリッカが生じる。このフリッカを低減するために、図8(b)に示すように、画素単位でのフレーム反転とともに1フレーム期間内でライン反転を行い、「+」と「-」の輝度差が人間の目に感知できなくなるほど極性反転周期を短くするのが一般的である。

【0014】図9にデジタル駆動におけるフレーム反転を示す。図9(c)のように、1フレーム目の64Hのフレーム期間は「+」で示される正の極性を書き込み、2フレーム目でフレーム反転して「-」で示される負の極性を書き込んでいる。図9(d)は各ラインの極性の時間変化を示している。理解を容易にするために負の極性の部分のみを塗りつぶしている。図のように、「+」と「-」の極性が8ライン目と9ライン目を境に非連続である。なぜなら、極性反転するサブフレームがラインごとに異なっており、1～8ライン目ではSF1で極性反転するが、9～12ライン目ではSF4で極性反転している。これをもとにライン反転を行ったのが図9

(e)である。(d)から(e)の変化は、奇数ラインのみ「+」→「-」あるいは「-」→「+」とすればよい。図のように、ライン反転の極性がすべてのラインにわたって規則的でなく、フリッカとして人間の目に感じる。

【0015】

【課題を解決するための手段】本発明は、時間的に重み付けされた複数のサブフレーム期間における固定電圧の組み合わせにより多階調表示を行うアクティブマトリクス液晶表示装置の駆動方法において、フリッカに関する画質課題に対し、

①フレーム期間ごとに行う液晶印加電圧の極性反転に関し、前記サブフレーム期間の各々について極性反転を独

50

(6)

9

立に行い、それらの極性反転時刻を各々の時間の重み付けに応じて1フレーム期間内で異ならせること、②サブフレーム期間の各々の反転極性の組み合わせに自由度を持たせること、により上記課題を解決するものである。

【0016】

【発明の実施の形態】本発明の第1の実施例を図10に示す。なお、液晶表示装置の回路構成は従来例で説明した図4と同じである。図10(a)は表示ライン数が $L=16$ 、サブフレーム数が $N=4$ 、サブフレームの保持時間が $1:2:4:8$ の比に時間的に重み付けされ、これらの組み合わせにより16階調を表示する場合のラインの選択順序を示している。図10(b)は、(a)より選択ラインと選択サブフレームの時間変化を書き出したものである。図10(c)は、各サブフレームに注目した場合の、それぞれのタイミングでの液晶印加電圧の極性を示したものである。本実施例では、図10(c)に示すように、フレームの極性反転をサブフレームSF1、SF2、SF3、SF4ごとに独立に行う。そして、SF1、SF2、SF3、SF4はそれぞれ $t=0, 5H, 14H, 31H$ の時刻で極性を「-」→「+」と反転している。この例では、各サブフレームの極性反転時刻は0ライン目の各サブフレームの書き込み時刻に一致している。このように、本実施例では各サブフレームの反転時刻を、各々のサブフレームの時間の重み付けに応じて1フレーム内で異ならせている。サブフレームは、SF1→SF2→SF3→SF4→SF1・・・というように循環して書き込んでいくので、図10(c)から時刻に応じて書き込むサブフレームの極性を抜き出していくと図10(d)に示す通りになる。また、図10(e)は各ラインに書き込まれる極性の時間変化を示している。0ライン目は1フレーム目に各サブフレームの極性が(SF1, SF2, SF3, SF4) = (++++)で書き込まれている。以降、1ライン目、2ライン目・・・、15ライン目に対し、4Hの時間ずつずれて0ライン目と同じように各サブフレーム極性が(++++)で書き込まれている。次のフレームでは、すべてのラインに対し、サブフレームSF1を起点として各々のサブフレームの極性が反転し、(----)で書き込まれる。以上により、すべてのラインに対してサブフレームが同じ状態で時間的に順次シフトしていくので、すなわちすべての走査線に属する画素のサブフレームの極性状態(極性の時系列パターン)が同じなので、表示が安定となりフリッカが低減する。本実施例は、すべてのラインに対して全く同一のサブフレーム極性の組み合わせが順次シフトしていくフレーム反転を説明したが、図11に示すように、ライン反転と組み合わせることも可能である。すなわち、偶数ラインと奇数ラインで各サブフレームの極性を反転する。これにより、1ラインおきに(++++)→(----)→(++++)→(----)というように変化しながら時間的に

10

順次シフトさせることができ、フリッカをより一層低減することが可能である。なお、ライン反転周期は複数ラインごとでも良い。第2の実施例を図12に示す。第1の実施例では、サブフレームの極性を(++++)→(----)としたが、本実施例では、フレーム反転することは第1の実施例と同じであるが、(+--+)-→(+--+)-というように1フレーム期間内でもサブフレームの極性を異ならせている点が特徴である。すなわち、図12(c)に示すように、サブフレームSF1、SF3はそれぞれ $t=0, 14H$ の時刻で極性を「-」→「+」と反転し、サブフレームSF2、SF4はそれぞれ $t=5, 31H$ の時刻で極性を「+」→「-」と反転している。結果として、図12(e)に示すように、0ライン目の(+--+)-という組み合わせが4Hの時間ずつずれて、時間的に順次シフトしている。本願では、これをサブフレーム反転と呼ぶものとする。サブフレーム反転を行うことにより、極性反転周期がフレーム期間より短くなりフリッカが低減する。なお、本実施例も第1の実施例と同様、ライン反転と組み合わせることができる。

【0017】また、これらの極性反転は、信号線Siに直接反転信号を加えることによって実現してもよいが、対向電極Vcomに信号線Siに同期して反転したパルス状波形を加えることによって、あるいは、蓄積容量の共通電極Vstにレベルシフト信号を加えるいわゆる容量結合駆動を用いて反転させることによって、信号線Siの振幅を減少させることができ、低消費電力化に有効である。

【0018】

【発明の効果】本発明の第1の実施例によれば、すべてのラインに対してサブフレームにおける液晶印加電圧の極性が同じ状態で時間的に順次シフトしていくので、表示が安定となりフリッカが低減できるという効果がある。またライン反転を適用でき、より一層フリッカを低減できるという効果がある。極性反転には従来の対向反転駆動や容量結合駆動をそのまま適用できる。

【0019】本発明の第2の実施例によれば、サブフレーム反転を行うことにより、極性反転周期がフレーム期間より短くなりフリッカを低減できるという効果がある。またライン反転を適用でき、より一層フリッカを低減できるという効果がある。極性反転には従来の対向反転駆動や容量結合駆動をそのまま適用できる。

【図面の簡単な説明】

【図1】従来のアナログ駆動の構成図

【図2】従来のアナログ駆動の波形図

【図3】従来のアナログ駆動の走査線選択順序を示す図

【図4】デジタル駆動の構成図

【図5】従来のデジタル駆動の階調表示方法を示す図

【図6】従来のデジタル駆動の順次走査を示す図

【図7】従来のデジタル駆動の走査線選択順序を示す図

(7)

11

12

【図8】従来の液晶交流駆動を示す図

【図9】従来のデジタル駆動のフリッカに関する課題を説明するための図

【図10】本発明の第1の実施例を示す図

【図11】本発明の第1の実施例におけるライン反転を示す図

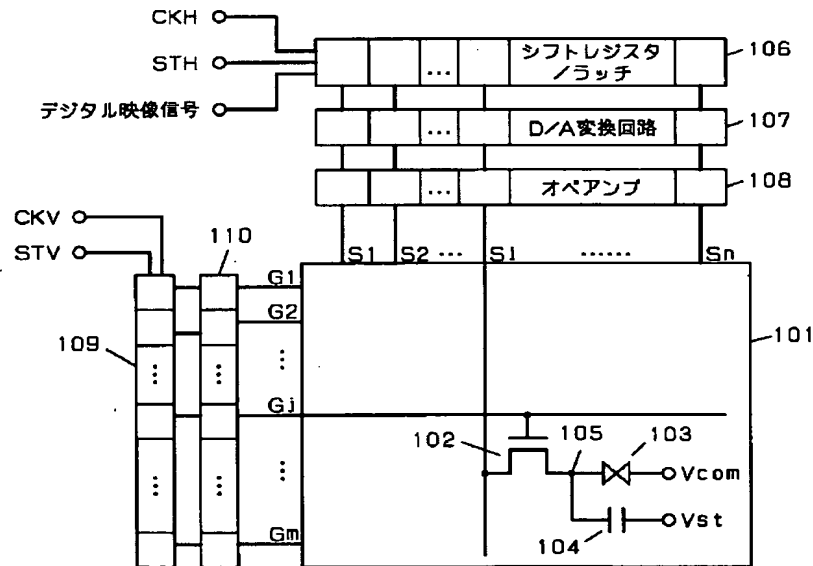
【図12】本発明の第2の実施例を示す図

【符号の説明】

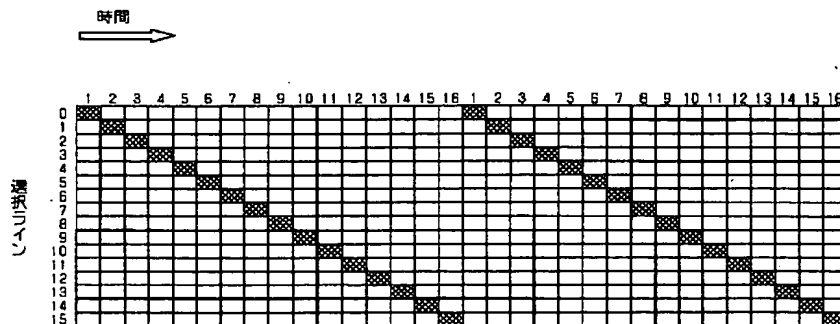
- 101 アクティブマトリクス方式の液晶パネル
 102 スイッチング素子
 103 液晶素子
 104 蓄積容量
 105 画素電極
 106 シフトレジスタ及びラッチ
 107 D/A変換回路
 108 オペアンプ
 109 走査側シフトレジスタ
 110 出力バッファ

- 401 デコーダ
 402 アナログスイッチ
 403 走査線選択デコーダ
 S1, S2, S3, Si, Sn 信号線
 G1, G2, G3, Gj, Gm 走査線
 CKH 信号側クロック信号
 STH 信号側スタート信号
 CKV 走査側クロック信号
 STV 走査側クロック信号
 ADV 走査側アドレス信号
 Vcom 対向電極
 Vst 蓄積容量の共通電極
 HD 水平同期信号
 FF1, FF2, FF3 信号側シフトレジスタのサンプリングパルス
 VH, VL 固定電圧
 SF1, SF2, SF3, SF4 サブフレーム期間

【図1】

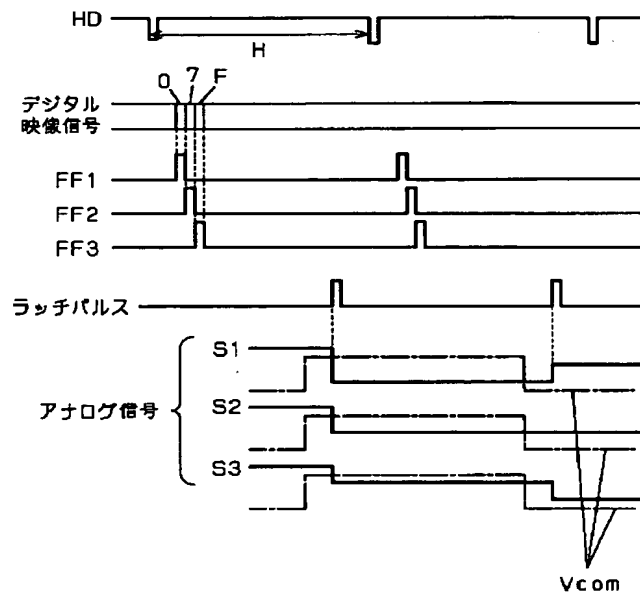


【図3】

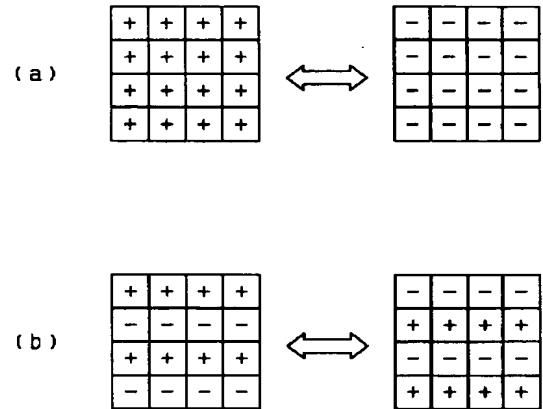


(8)

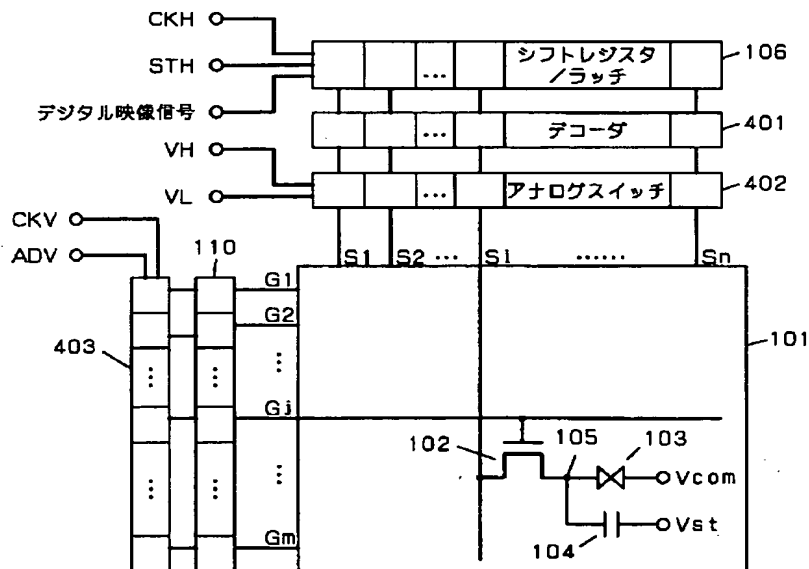
【図2】



【図8】

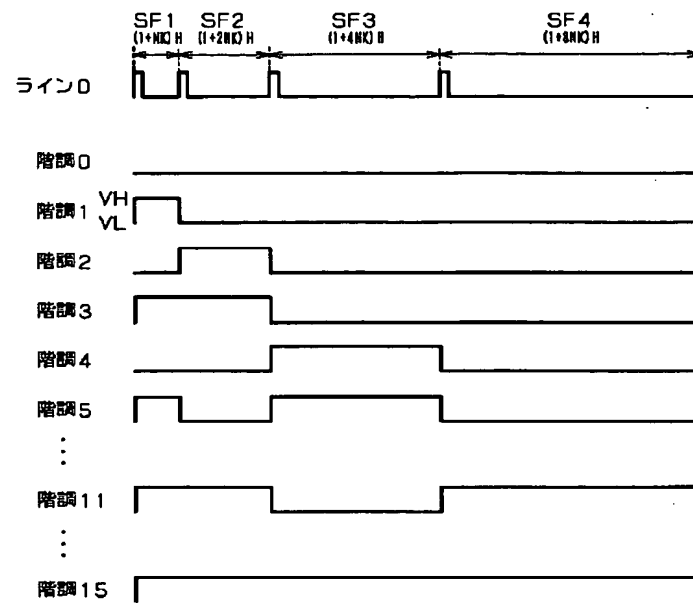


【図4】



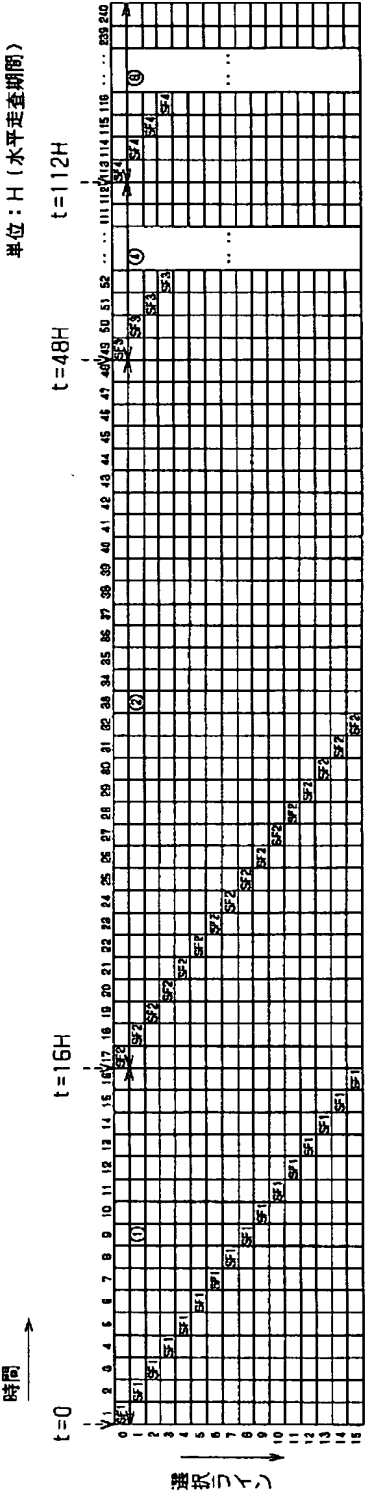
(9)

【図5】

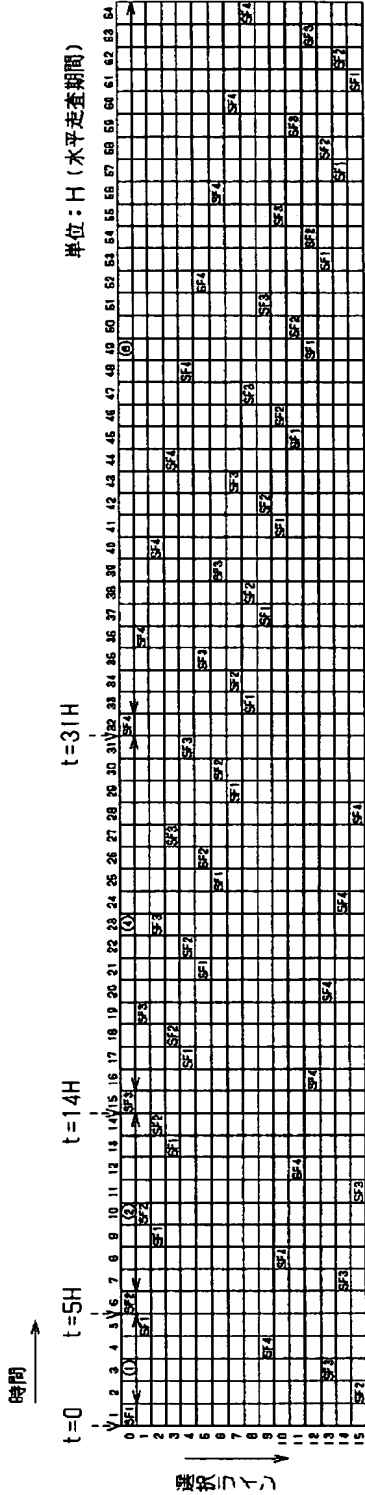


(10)

【図6】

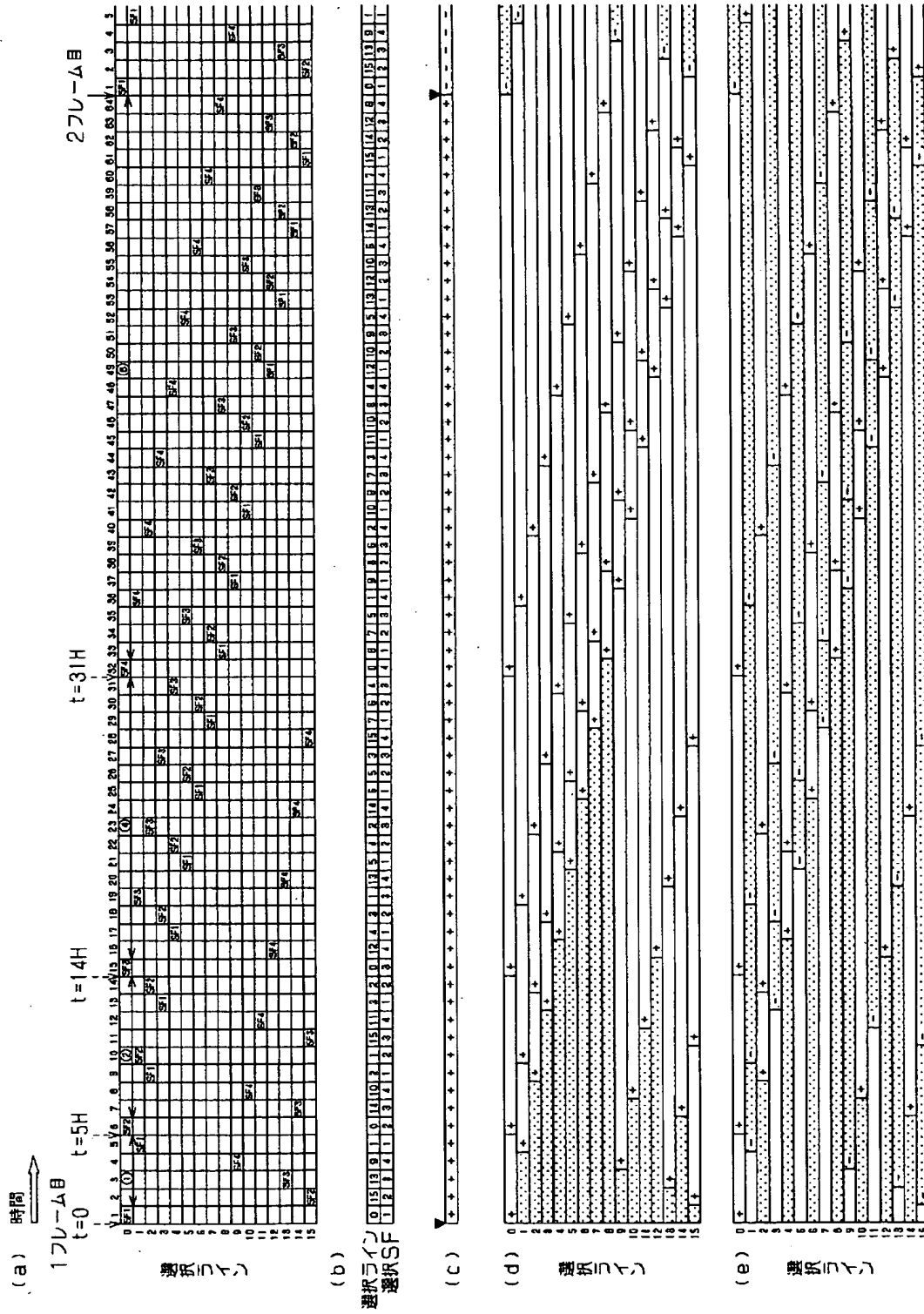


【図7】



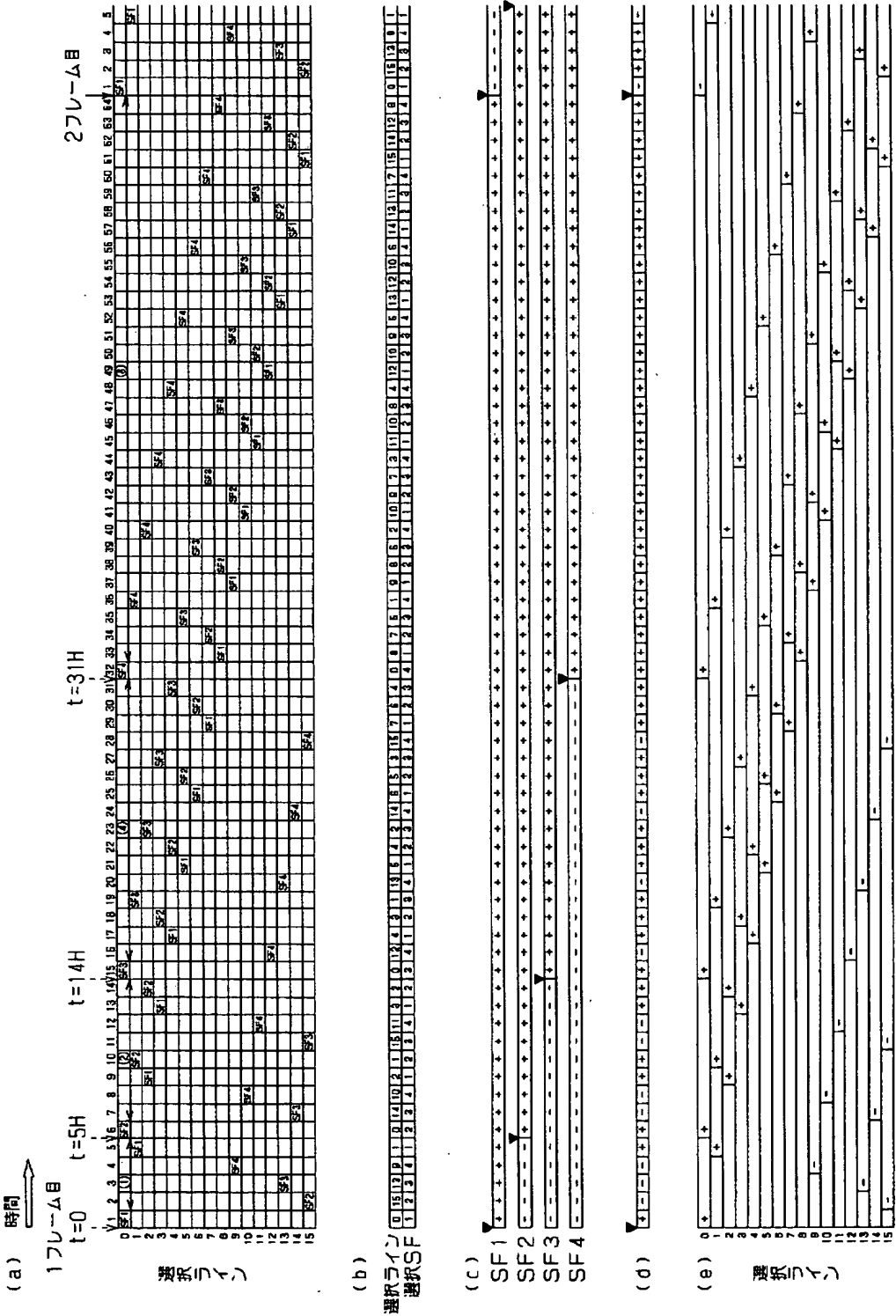
(11)

【図9】



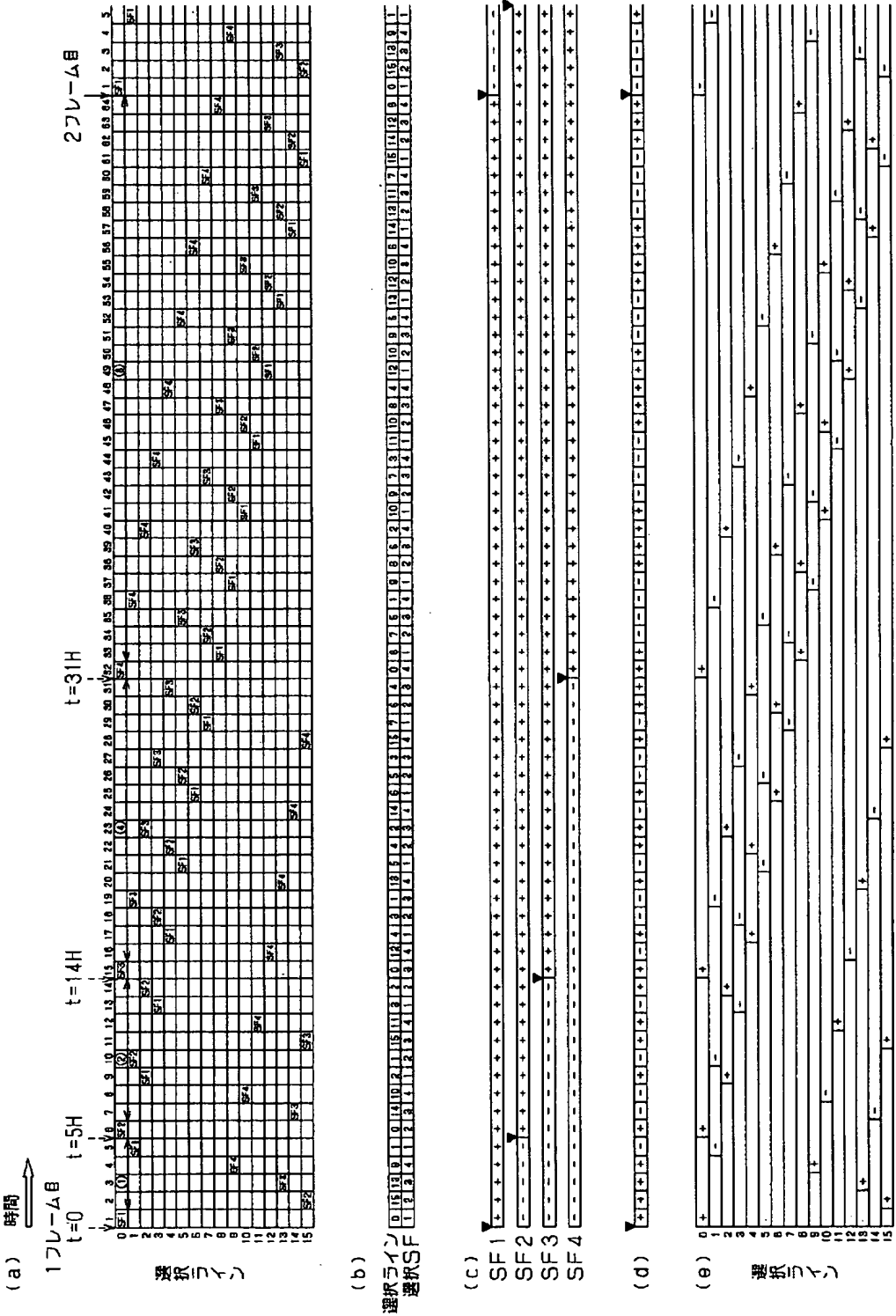
(12)

【図10】



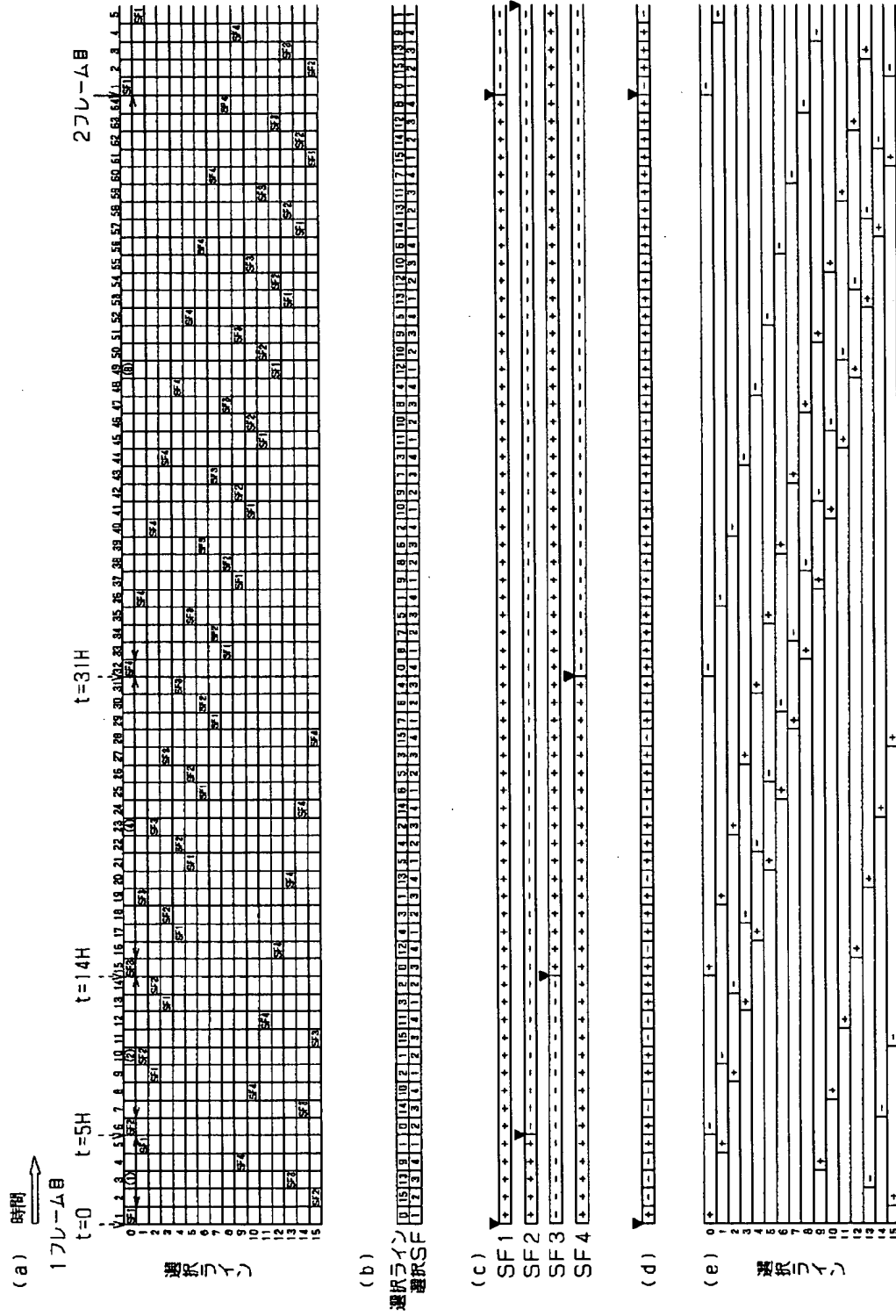
(13)

【図11】



(14)

【図12】



(15)

フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

識別記号

6 4 1

F I

G 0 9 G 3/20

ターコード (参考)

6 4 1 K

Fターム (参考) 2H093 NA16 NA31 NA33 NA41 NA43
 NA47 NA51 NC07 NC22 NC23
 NC26 ND10 ND50
 5C006 AA14 AA16 AA17 AC27 AC28
 AF44 BB16 FA23
 5C080 AA10 BB05 DD06 EE29 FF11
 JJ02 JJ04

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.